

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Heung-jin Joo et al.

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: FERROELECTRIC MEMORY DEVICES WITH ENHANCED FERROELECTRIC
PROPERTIES AND METHODS FOR FABRICATING SUCH MEMORY
DEVICES

Date: February 11, 2004

Mail Stop PATENT APPLICATION

Commissioner for Patents

P. O. Box 1450

Alexandria, VA 22313-1450

SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

10-2003-0011099, filed February 21, 2003.

Respectfully submitted,



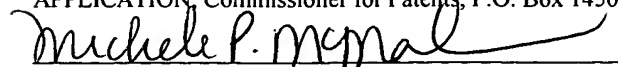
D. Randal Ayers
Registration No. 40,493

USPTO Customer No. 20792
Myers Bigel Sibley & Sajovec, P.A.
Post Office Box 37428
Raleigh, North Carolina 27627
Telephone: (919) 854-1400
Facsimile: (919) 854-1401
Our File No. 5649-1165

"Express Mail" mailing label number EV 353593079US

Date of Deposit: February 11, 2004

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to MAIL STOP PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Washington, DC 20231.


Michele P. McMahan



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0011099
Application Number

출 원 년 월 일 : 2003년 02월 21일
Date of Application FEB 21, 2003

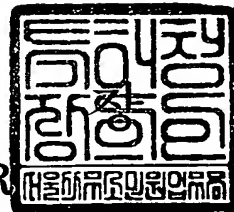
출 원 인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 10 월 29 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2003.02.21
【발명의 명칭】	강유전체 기억 소자 및 그 제조 방법
【발명의 영문명칭】	FERROELECTRIC MEMORY DEVICE AND METHOD FOR FABRICATING THE SAME
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	주흥진
【성명의 영문표기】	JOO, HEUNG-JIN
【주민등록번호】	720531-1820112
【우편번호】	449-900
【주소】	경기도 용인시 기흥읍 동성아파트 101동 1203호
【국적】	KR
【발명자】	
【성명의 국문표기】	김기남
【성명의 영문표기】	KIM, KI NAM
【주민등록번호】	580414-1273118
【우편번호】	431-070

【주소】 경기도 안양시 동안구 평촌동 932-6번지 B/L 꿈마을 라이프APT
108동 502호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의
한 출원심사 를 청구합니다. 대리인
임창현 (인) 대리인
권혁수 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 26 면 26,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 20 항 749,000 원
【합계】 804,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

강유전막의 열화를 방지하여 소자 신뢰성을 확보할 수 있는 강유전체 기억 소자 및 그 제조 방법은 산소 확산 방지막 모양을 먼저 완성한 후, 상부전극, 강유전막 및 하부전극 모양을 완성하는 방법을 채택한다. 하드 마스크를 사용하여 산소 확산 방지막 모양을 완성한 후 절연막을 형성하여 하드 마스크를 평탄화 정지막으로 하여 평탄화 공정을 진행한 후 하드 마스크를 제거한다. 이에 따라 산소 확산 방지막의 상부 표면이 그것을 둘러싸는 절연막의 상부 표면보다 더 낮도록 형성된다. 이어서 산소 확산 방지막 및 절연막 상에 하부전극막을 형성하고 그 상부 표면 상에 강유전막 및 상부전극막을 차례로 형성한 후 사진 식각 공정을 통해서 상부전극, 강유전막 및 하부전극 모양을 완성한다. 이에 따라 강유전체막의 식각 손상을 줄일 수 있다.

【대표도】

도 11

【색인어】

강유전체 기억 소자, 강유전막, 산소 확산 방지막

【명세서】

【발명의 명칭】

강유전체 기억 소자 및 그 제조 방법{FERROELECTRIC MEMORY DEVICE AND METHOD FOR FABRICATING THE SAME}

【도면의 간단한 설명】

도 1 및 도 2는 통상적인 방법에 따른 강유전체 기억 소자 제조 방법을 개략적으로 설명하는 반도체 기판의 일부 단면도들이다.

도 3 내지 도 11은 본 발명의 일 실시예에 따른 강유전체 기억 소자를 제조하는 방법을 설명하기 위해 공정 순서에 따른 주요 공정 단계에서의 반도체 기판을 개략적으로 도시한 단면도들이다.

도 12 내지 도 18은 본 발명의 다른 실시예에 따른 강유전체 기억 소자를 제조하는 방법을 설명하기 위해 공정 순서에 따른 주요 공정 단계에서의 반도체 기판을 개략적으로 도시한 단면도들이다.

* 도면의 주요 부분에 대한 부호의 설명

101 : 반도체 기판 107 : 트랜지스터

111a, 111b : 콘택 패드 121 : 콘택 플러그

127a : 산소 확산 방지막 패턴 135a : 하부전극

137a : 강유전체막 139a : 상부전극

141 : 강유전체 커패시터 145 : 하부 배선

149 : 스트립 라인 153 : 상부 배선(플레이트 라인)

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <11> 본 발명은 강유전체 기억 소자 및 그 제조 방법에 관한 것으로, 보다 상세하게는 강유전막의 강유전성 열화가 방지되는 강유전체 기억 소자 및 그 제조 방법에 관한 것이다.
- <12> 잘 알려진 바와 같이, 강유전체(Ferroelectric Material)는 임의의 온도 영역에서 외부 전기장(Applied Electric Field)이 없어도 자발적인 분극(Spontaneous Polarization) 특성을 지닌다. 또한, 강유전체는 일정한 방향으로 분극된 상태에서 역방향의 전기장이 인가되면 분극 방향이 역방향으로 반전되는 특성을 지니고 있다. 다시 말하면, 강유전체는 외부 전기장의 크기와 방향에 따라 일정한 이력 현상(Hysteresis)을 보이게 된다. 이러한 강유전체의 이력 현상을 이용하여 정보를 기입(Write)하고 판독(Read)하는 기억 소자(MEMORY DEVICE)를 강유전체 기억 소자라 한다. 이러한 강유전체 기억 소자는 강유전체의 자발분극 특성으로 인해서 전원이 끊어지더라도 저장된 정보가 계속적으로 남아있는 비휘발성 특성을 지닌다.
- <13> 강유전체 메모리 소자는 상술한 바와 같이 비휘발성 특성을 나타낼 뿐 아니라, 우수한 내구성(Endurance)과, 수십 나노초(nsec) 정도의 빠른 동작 속도와, 5V 정도의 낮은 동작 전압과, 1mA 정도의 대기 전류 등 기억 소자가 요구하는 이상적인 특성을 구비하고 있다. 따라서, 강유전체 기억 소자는 향후 차세대 기억 소자로서 각광 받고 있다. 이와 같이 우수한 특성을 기억 소자로서 충분히 활용하기 위하여 소자의 고집적화를 이뤄야 하는데, 이를 달성하기 위해서는 1 트랜지스터-1 강유전체 캐패시터 (1T/1C) 셀 구조, 강유전체 캐패시터의 축소 기술 (Small Ferroelectric Capacitor Technology), 다층 배선 공정, 내열 보존성(Hot Temperature

Retention), 디램(DRAM)이나 에스램(SRAM) 소자에 필적할 만한 판독(Read) 및 기입(Write) 내구성(Endurance) 등 소자의 신뢰성(Reliability) 확보가 필수적이다.

<14> 한편, 강유전체 커패시터는 통상적인 디램(DRAM:Dynamic Random Access Memory) 소자 제조 공정에 사용되지 않던 새로운 물질인 강유전체를 사용하기 때문에, 그 제조 방법이 디램 제조 방법과는 다른 특성을 나타낸다. 예컨대, 통상적으로 디램에서 전극 물질로 사용되는 폴리실리콘이 강유전체 물질과 매우 잘 반응을 하기 때문에, 백금(Pt)과 같은 귀금속이나 이산화이리듐(IrO₂) 같은 도전성 산화물질을 강유전체 커패시터 전극으로 사용한다.

<15> 하지만, 디램 소자처럼, 강유전체 기억 소자 또한 트랜지스터와 강유전체 커패시터를 포함하며, 강유전체 커패시터는 트랜지스터와 전기적으로 연결되어야 한다. 이러한 연결은 다음과 같은 방법으로 되어진다. 첫 번째의 방법은 금속을 이용한 국소 배선(local interconnection) 방법이 있다. 일 예로서, 미합중국 마이크론 테크놀로지(Micron Technology)사의 미합중국 특허 제5,119,154호 "FERROELECTRIC CAPACITOR AND METHOD FOR FORMING LOCAL INTERCONNECTION"에 개시되어 있다. 다른 방법은, 폴리실리콘 같은 도전성 물질을 이용한 콘택 플러그를 통해 트랜지스터의 소스 영역과 강유전체 커패시터를 연결하는 방법이다. 일 예로서, 일본국 샤프(Sharp)사의 미합중국 특허 제5,854,104호 "PROCESS FOR FABRICATING NONVOLATILE SEMICONDUCTOR MEMORY DEVICE HAVING A FERROELECTRIC CAPACITOR"에 개시되어 있다. 하지만, 고집적 강유전체 기억 소자를 위해서는 단위 셀을 최소화하는 것이 필요하므로, 플러그를 이용하여 트랜지스터와 강유전체 커패시터를 연결하는 방법이 널리 사용되고 있다.

<16> 한편, 강유전체가 자발 분극에 따른 이력 특성을 나타내기 위해서는 페로브스카이트와 같은 결정 구조를 가져야 하며, 이를 위해서는 강유전 물질을 증착한 후 높은 온도, 예컨대,

550℃ 이상에서 결정화 열처리를 진행해야 한다. 이러한 열처리 공정은, 콘택 플러그 및 하부 전극 사이의 계면에 얇은 절연성막(폴리 실리콘 콘택 플러그를 사용할 경우에 실리콘 산화막, 텅스텐 플러그를 사용할 경우 텅스텐 산화막)이 형성되고, 이로 인해 그들 사이의 접촉 저항이 증가하게 되는 문제점이 발생한다. 따라서, 이를 해소하기 위해, 산소 확산 방지막을 플러그 및 하부전극 사이에 형성하고 있는 실정이다.

<17> 도 1 및 도 2를 참조하여 종래 콘택 플러그 채택한 강유전체 커패시터 제조 방법을 설명한다.

<18> 먼저 도 1을 참조하여, 반도체 기판(미도시) 상에 트랜지스터(미도시)가 형성되고 이어서 층간절연막(11)이 형성된다. 층간절연막(11)을 패터닝하여 트랜지스터의 드레인 영역을 노출시키는 개구부를 형성한 후 여기에 폴리 실리콘 또는 텅스텐 같은 도전물질을 형성하여 콘택 플러그(13)를 형성한다. 계속해서, 층간절연막(11) 및 콘택 플러그(13) 상에 커패시터 적층 구조(23), 즉 산소 확산 방지막(15), 하부전극막(17), 강유전체막(19) 및 상부전극(21)을 순차적으로 형성한다.

<19> 다음 도 2를 참조하여, 강유전체 적층 구조(23)를 패터닝하여 콘택 플러그(13)에 전기적으로 접속하는 강유전체 커패시터(25)를 형성한다. 이때, 강유전체막(19)이 패터닝 공정 중에 식각 손상(Etching Damage, 27)을 받게 된다. 즉, 상부전극(21) 및 강유전체막(19)을 식각한 후 강유전체막(19)이 노출된 상태에서 하부의 두 층, 즉, 하부전극(17) 및 산소 확산 방지막(15)을 식각하는 동안 식각된 강유전체막의 측벽에 식각 손상(27)이 발생하게 된다. 이와 같은 강유전체의 식각 손상은 강유전체의 강유전성의 열화를 야기하며, 궁극적으로는 강유전체 기억 소자의 특성 열화를 가져오게 하는 주요 원인이 된다. 특히, 소자의 고집적화로 말미암아 강유

전체의 식각 손상은 기존과 비교하여 강유전체 기억 소자의 제조에 있어서 상대적으로 더욱 큰 문제점이 된다.

- <20> 게다가 콘택 플러그(13)의 산화 방지를 충분히 하기 위해 산소 확산 방지막(15)을 두껍게 형성할 경우, 강유전체가 받는 식각 손상은 더욱 커지게 된다. 하지만, 산소 확산 방지막(15)을 너무 얇게 형성할 경우 콘택 플러그(13) 산화 방지 기능을 제대로 할 수 없게 되는 문제점이 발생한다. 이 경우 접촉 저항이 증가할 것이다.

【발명이 이루고자 하는 기술적 과제】

- <21> 따라서, 본 발명이 이루고자 하는 기술적 과제는 강유전체막의 식각 손상을 최소화 할 수 있는 강유전체 기억 소자 제조 방법 및 그에 따른 강유전체 기억 소자를 제공하는 것이다.

【발명의 구성 및 작용】

- <22> 상기 기술적 과제를 달성하기 위한 본 발명의 강유전체 기억 소자는 강유전체 커패시터를 구비한다. 상기 강유전체 커패시터는 산소 확산 방지막, 하부전극, 강유전체막 및 상부전극을 포함한다. 상기 산소 확산 방지막의 상부 표면은 상기 산소 확산 방지막의 상부 표면 보다 높은 상부 절연막에 의해 둘러 싸인다. 상기 상부 절연막 및 그로부터 리세스된 산소 확산 방지막 상에 하부전극이 위치한다. 즉, 상기 하부전극의 수평 치수는 상기 산소 확산 방지막의 수평 치수보다 더 크다. 상기 하부전극 표면 상에 강유전체막이 위치하고 그 상부 표면 상에 상부전극이 위치한다. 결과적으로, 상기 강유전체막이 상기 하부전극 상에만 위치하며, 상기 산소 확산 방지막과는 접촉하지 않는다.

- <23> 상기 산소 확산 방지막은 그 자체가 전도성 물질이면서 산화되지 않거나, 설령 산화되어도 전도성을 가지는 성질을 지니고 있으며, 산소의 확산을 허용하지 않는 물질인 것이 바람직

하다. 예컨대, 상기 산소 확산 방지막은 이리듐, 루테튬 및 오스뮴 중 어느 하나로 형성될 수 있다. 또는 상기 산소 확산 방지막은, 이리듐 및 티타늄알루미늄질화막(TiAlN)이 차례로 적층된 구조를 가지거나 이리듐, 티타늄알루미늄질화막 및 티타늄막이 차례로 적층된 구조를 가질 수 있다.

<24> 상기 하부전극 및 상부전극 각각은 귀금속 전극 및 귀금속의 도전성 산화물 전극 중 어느 하나로 형성된 단일층 구조를 가질 수 있다. 또는 귀금속 전극 및 귀금속의 도전성 산화물 전극의 조합막으로 된 다층 구조를 가질 수 있다. 상기 귀금속의 산화물 전극은 예컨대, 이리듐산화막, 루테튬산화막, 란타늄스트론튬코발트산화막(LSCO), 이트륨바륨코발트산화막(YBCO), 란타늄니켈산화막(LNO)을 포함한다. 귀금속은 백금, 이리듐, 루테튬, 오스뮴, 란타늄을 포함한다.

<25> 상기 기술적 과제를 해결하기 위한 본 발명의 강유전체 기억 소자 제조 방법은 산소 확산 방지막 패턴을 먼저 형성한 후 하부전극막, 강유전체막 및 상부전극막에 대한 식각을 진행하는 것을 일 특징으로 한다.

<26> 상기 산소 확산 방지막 패턴을 형성하는 일 방법에 따르면, 먼저 콘택 플러그를 구비하는 하부 절연막 상에 산소 확산 방지막 및 하드 마스크막이 차례로 형성된다. 상기 하부 절연막 내에 형성된 콘택 플러그에 전기적으로 접속하도록 상기 하드 마스크막 및 산소 확산 방지막이 패터닝된다. 이어서 상기 산소 확산 방지막 패턴 및 하드 마스크막 패턴을 완전히 덮도록 상기 하부 절연막 상에 상부 절연막이 형성된다. 상기 하드 마스크막 패턴을 평탄화 정지막으로 하여, 상기 상부 절연막이 평탄화 식각된다. 마지막으로 노출된 상기 하드 마스크막 패턴이 제거된다. 그 결과 상기 산소 확산 방지막 패턴의 상부 표면이 상기 상부 절연막의 상부 표면

보다 아래에 위치한다. 즉, 산소 확산 방지막 패턴이 상기 하드 마스크막 패턴의 두께 만큼 상기 하부 절연막 보다 아래에 위치할 것이다.

<27> 바람직하게, 상기 하드 마스크막 및 상기 상부 절연막은 서로에 대해서 식각 선택비를 가지는 물질로 형성된다. 예컨대, 상기 상부 절연막이 실리콘 산화막이라면, 상기 하드 마스크막은 질소를 함유하는 막질로 형성된다. 예컨대, 질소를 함유하는 하드 마스크막은, 티타늄 질화막, 실리콘 질화막, 티타늄알루미늄질화막 등을 포함한다. 상기 하드 마스크막은 상기 산소 확산 방지막 패턴 형성을 위한 패터닝 공정에서 반사 방지막으로서의 역할을 하기 때문에 확산 방지막 패턴 형성 공정의 신뢰도를 확보할 수 있다. 또한, 상기 하드 마스크막은 상부 절연막에 대한 평탄화 공정에서 평탄화 정지막의 역할을 하기 때문에, 평탄화 공정의 공정 여유도(마진)가 증가한다.

<28> 상기 산소 확산 방지막 패턴을 형성하는 다른 방법에 따르면, 콘택 플러그를 구비하는 하부 절연막 상에 상부 절연막이 형성된다. 상기 콘택 플러그를 노출시키는 개구부를 갖도록 상기 상부 절연막이 패터닝된다. 상기 개구부 및 상기 상부 절연막 상에 산소 확산 방지막이 형성된다. 상기 상부 절연막을 평탄화 정지막으로 이용하여 상기 산소 확산 방지막을 평탄화 식각하여 상기 개구부 내부에만 산소 확산 방지막이 남도록 한다. 이어서 상기 개구부 내에 잔존하는 산소 확산 방지막의 일부 두께를 식각하여 그 상부 표면이 상기 상부 절연막 상부 표면 보다 낮은 산소 확산 방지막 패턴을 형성한다. 여기서, 상기 개구부 내에 잔존하는 산소 확산 방지막에 대한 추가 식각 공정이 진행되지 않을 수도 있다.

<29> 상술한 바와 같이 산소 확산 방지막 패턴을 형성한 후 상기 산소 확산 방지막 패턴 및 상기 상부 절연막 상에 하부전극막, 강유전체막 및 상부전극막을 차례로 형성한다. 이어서 상

기 산소 확산 방지막 패턴 및 그 주위의 상부 절연막 일부를 덮도록 상기 상부전극막, 강유전체막 및 하부전극막이 차례로 패터닝된다.

<30> 본 발명에 의하면, 산소 확산 방지막 패턴이 형성된 이후에 하부전극막, 강유전체막, 및 상부전극막에 대한 패터닝 공정이 진행된다. 따라서, 강유전체막에 대한 식각 손상을 최소화할 수 있다. 게다가, 강유전체막의 식각 손상 염려 없이 산소 확산 방지막 기능 향상을 위해서 그 두께를 증가시킬 수 있어 강유전체 커패시터 및 콘택 플러그 사이의 접촉 저항 특성을 향상시킬 수 있다. 또한, 강유전체막이 하부전극 상에만 형성되며 산소 확산 방지막과는 접촉하지 않기 때문에, 양호한 막질 특성을 가지는 강유전체막을 형성할 수 있다.

<31> 이하, 본 발명에 따른 강유전체 기억 소자 및 그 제조방법을 첨부한 도면을 참조하여 상세히 설명한다. 본 발명은 여기서 설명되는 실시예에 한정되지 않고 다른 형태로 구체화될 수 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다. 도면에 있어서, 막 및 영역들의 두께는 명확성을 기하기 위하여 과장된 것이다. 또한, 막이 다른 막 또는 기판 "상"에 있다고 언급되는 경우 그것은 다른 막 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 막이 개재될 수 있다. 명세서 전체에 걸쳐서 동일한 도면 부호들은 동일한 구성요소를 나타낸다. 여기서, '패터닝'이란 사진 식각 공정을 통해서 소정 막질(도전막 또는 절연막)을 원하는 모양을 갖도록 식각 하는 것(또는 소정 막질에 원하는 모양의 개구부를 형성하는 것)을 의미한다.

<32> 본 발명은 강유전체 기억 소자 및 그 제조 방법에 관한 것으로서, 특히 강유전체 커패시터 및 그 제조 방법에 관한 것이다. 따라서, 강유전체 기억 소자 제조 공정에 통상적으로 형성

되는 소자 분리 영역, 트랜지스터, 비트 라인, 플레이트 라인 등에 대해서는 자세한 설명은 생략하고 간단히 언급만 하기로 한다.

<33> 도 3 내지 도 11은 본 발명의 일 실시예에 따른 강유전체 기억 소자 제조 방법에서 공정 순서에 따른 주요 공정 단계에서의 반도체 기판의 단면도들로서, 데이터 라인인 비트 라인과 평행한 방향(즉, 게이트 라인과 직교하는 방향)으로 절취한 단면이다. 설명의 편의를 위해서 도면에서 단지 두 개의 강유전체 커패시터만을 도시하였다.

<34> 먼저 도 3을 참조하여, 반도체 기판(101)의 소정 부위에 주지된 공정으로 소자 분리 영역(102)을 형성하여 트랜지스터, 비트 라인 등의 각종 구성요소가 전기적으로 연결되는 활성 영역을 정의한다. 소자 분리 영역 형성 공정으로는 국소산화법과 트렌치 형성 방법 등이 있으며, 소자의 고집적화에 적합한 트렌치 형성 방법을 사용하는 것이 바람직하다.

<35> 그런 다음, 소자 분리 영역(102)에 의해 정의된 반도체 기판(101)의 활성 영역 상에 워드 라인(Word Line)으로 작용하는 트랜지스터(107)를 형성한다. 트랜지스터(107)는 잘 알려진 바와 같이, 반도체 기판(101)의 활성 영역과 게이트 절연막에 의해 전기적으로 절연된 게이트 전극(103) 및 상기 게이트 전극(103) 양측의 활성 영역에 불순물이 주입되어 형성된 소오스 영역 및 드레인 영역들로 구성된다. 그리고 게이트 전극(103) 아래의 활성 영역, 즉 소오스 영역 및 드레인 영역 사이의 활성 영역은 채널 영역이 된다. 게이트 전극(103)은 또한 측벽 스페이서 및 하드 마스크(105)에 의해서 보호된다. 트랜지스터(107)는 상기한 구성요소 외에 다른 구성요소, 예를 들어, LDD (Lightly Doped Drain) 영역, 이중 게이트 스페이서를 더 포함할 수 있으며, 필요에 따라 다른 구성요소를 더 포함할 수 있다.

<36> 이어서, 트랜지스터(107)가 형성된 반도체 기판(101) 상에 하부 절연막(117)을 형성한다. 하부 절연막(117)은 여러 층의 절연막(109, 113, 115)이 적층되어 구성된다. 도시되지는 않았

지만, 하부 절연막(117) 내에는 트랜지스터(107)의 드레인 영역에 전기적으로 접속되는 비트 라인이 형성된다. 이때, 비트 라인 및 드레인 영역을 직접적으로 연결할 수도 있지만, 도시된 바와 같이, 먼저 드레인 영역에 전기적으로 접속되는 비트 라인 콘택 패드(111b)를 형성한 후 여기(111b)에 전기적으로 접속하는 비트 라인을 형성할 수도 있다. 즉, 트랜지스터(107)가 형성된 반도체 기판(101)에 제1층간절연막(109)을 형성한다. 예컨대, 통상적인 화학기상증착법(CVD)을 이용하여 실리콘 산화막과 같은 절연성 물질을 트랜지스터(107)가 완전히 피복되도록 하는 두께로 증착하여 형성한다. 이어서, 트랜지스터(107) 양측의 제1층간절연막(109)의 소정 부분을 식각하여 드레인 영역을 노출시키는 개구부를 형성한다. 이때, 소오스 영역을 노출시키는 개구부도 동시에 형성되는 것이 바람직하다. 이어서 상기 개구부들이 도전물질로 채워져 비트 라인 콘택 패드(111b) 및 커패시터 콘택 패드(111a)가 형성된다. 커패시터 콘택 패드(111a)에는 강유전체 커패시터가 전기적으로 연결되고 비트 라인 콘택 패드(111b)에는 비트 라인이 전기적으로 연결된다. 콘택 패드들(111a, 111b)을 형성 한 후 콘택 패드들(111a, 111b)을 절연시키기 위해서 화학적기상증착법 등으로 제2층간절연막(113)을 형성한다. 계속해서, 제2층간절연막(113)의 소정 부분을 식각하여 비트 라인 콘택 패드(111b)를 노출시키는 콘택홀을 형성한 후 콘택홀을 채우도록 상기 제2층간절연막(113) 상에 비트 라인용 도전물질을 형성하고 이를 패터닝하여 비트 라인을 형성한다. 비트 라인을 형성한 다음 제3층간절연막(115)을 화학기상증착법 등을 사용하여 비트 라인이 완전히 피복되는 두께로 형성한다.

<37> 다음 도 4를 참조하여, 제3층간절연막(115) 및 제2층간절연막(113)을 패터닝하여 커패시터 콘택 패드(111a)를 노출시키는 콘택홀(119)을 형성한다.

<38> 다음 도 5를 참조하여, 폴리실리콘이나 텅스텐과 같은 금속 등의 전도성 물질로써 콘택홀(119)을 매립하여 소오스 영역과 후술하는 강유전체 커패시터를 전기적으로 도통시키는 콘택

플러그(121)를 형성한다. 계속해서 도 5를 참조하여, 콘택 플러그(121)를 형성한 후, 하부 절연막(117) 상에, 즉, 제3층간절연막(115) 상에 산소 확산 방지막(127) 및 하드 마스크막(129)을 형성한다.

<39> 산소 확산 방지막(127)은 그 자체가 전도성 물질이면서 산화되지 않거나, 설령 산화되어도 전도성을 가지는 성질을 지니고 있으며, 산소의 확산을 허용하지 않는 물질인 것이 바람직하다. 이러한 물질들로서, 예컨대, 이리듐, 루테튬, 오스뮴과 같은 귀금속, 티타늄알루미늄질화막 및 티타늄막 등이 있다.

<40> 본 실시예의 경우 티타늄알루미늄질화막(123) 및 이리듐막(125)을 차례로 적층한 이중층으로 산소 확산 방지막(127)이 형성된다. 하지만 이것은 일 예에 불과하며, 상기 물질들의 단일층 또는 그들을 조합한 다층으로 형성할 수 있다. 예컨대, 산소 확산 방지막(127)은 이리듐, 루테튬 및 오스뮴 중 선택된 어느 하나로 형성된 단일층, 이리듐 및 티타늄알루미늄질화막이 차례로 적층되어 형성되는 이중층 또는 이리듐, 티타늄알루미늄질화막 및 티타늄막이 차례로 적층되어 형성된 삼중층으로 형성될 수 있다.

<41> 하드 마스크막(129)은 산소 확산 방지막(127)을 패터닝하기 위한 마스크막으로 사용되는 동시에 후속 평탄화 공정에서 평탄화 정지막으로 사용된다. 하드 마스크막(129)은 후술할 상부 절연막(도 6의 131 참조)에 대해서 식각 선택비를 가지는 물질로 형성된다. 예컨대, 상부 절연막(131)은 화학기상증착법에 의한 산화막으로 형성되며, 하드 마스크막(129)은 질소를 함유하는 물질로 형성된다. 예컨대, 하드 마스크막(129)은 티타늄 질화막, 실리콘 질화막, 티타늄알루미늄질화막을 포함하며, 이들의 단일층 또는 이들의 조합한 다층으로 형성될 수도 있다. 이와 같은 질소를 함유하는 물질은 단지 예시적인 것에 불과하다.

- <42> 다음 도 6을 참조하여, 사진 식각 공정을 진행하여 하드 마스크막(129)을 패터닝하여 하드 마스크막 패턴(129a)을 형성하고 이를 사용하여 하부의 산소 확산 방지막(127)을 패터닝하여 콘택 플러그(121)와 전기적으로 접속하는 산소 확산 방지막 패턴(127a)을 형성한다. 계속해서 도 6을 참조하여, 산소 확산 방지막 패턴(127a) 상의 하드 마스크막 패턴(129a)을 완전히 피복하도록 하부 절연막을 구성하는 제3층간절연막(115) 상에 상부 절연막(131)을 형성한다. 상부 절연막(131)은 하드 마스크 패턴(129a)에 대해서 식각 선택비를 가지는 물질로 형성되며, 예컨대, 실리콘 산화막으로 형성된다.
- <43> 다음 도 7을 참조하여, 상부 절연막(131)에 대한 평탄화 공정이 진행된다. 이때, 하드 마스크막 패턴(129a)을 평탄화 정지막으로 사용한다. 상부 절연막(131) 및 하드 마스크막 패턴(129a) 사이에서 높은 선택비를 가지는 슬러리를 사용하여, 즉 상부 절연막(131)에 대해서 높은 식각율을 갖는 슬러리를 사용하여 하드 마스크막 패턴(129a)이 노출될 때까지 상부 절연막(131)을 평탄화 식각한다.
- <44> 다음 도 8을 참조하여, 하드 마스크막 패턴(129a)을 선택적으로 제거한다. 평탄화 식각에 의해 잔존하는 상부 절연막(131')에 대해서 식각 선택비를 가지는 식각 용액 또는 식각 가스를 사용하여, 하드 마스크막 패턴(129a)을 제거한다. 이에 따라 상부 절연막(131')의 상부 표면이 산소 확산 방지막 패턴(127a)의 상부 표면 보다 더 높게 된다. 즉, 하드 마스크막 패턴(129a)의 제거로 인해 상부 절연막(131')에 의해 한정되는 리세스 영역(133)이 산소 확산 방지막 패턴(127a) 상에 형성된다.
- <45> 다음 도 9를 참조하여, 산소 확산 방지막 패턴(127a) 상의 리세스 영역(133)을 채우도록 상부 절연막(131') 및 산소 확산 방지막 패턴(127a) 상에 하부전극막(135)을 형성한다. 계속해서, 하부전극막(135) 상에 강유전체막(137) 및 상부전극막(139)을 차례로 형성한다. 강유전

체막(177)이 하부전극막(135) 상에만 형성되며 산소 확산 방지막 패턴(127a)과는 접촉하지 않는다.

- <46> 하부전극막(135)은 강유전체막(137)이 잘 형성될 수 있는, 즉, 강유전체의 강유전성 결정 구조화에 유리한 격자 구조를 제공하는 결정 격자 구조를 가지는 막질로 형성되는 것이 바람직하다. 또한 하부전극막(135)은 강유전체 기억 소자의 사용 회수에 따라 잔류 분극이 감소하는 현상인 피로(Fatigue) 현상을 개선하기 위해 산소를 공급할 수 있는 물질로 형성되는 것이 바람직하다.
- <47> 예컨대, 이리듐산화막(IrO_2), 루테튬산화막(RuO_2), 란타늄스트론튬코발트산화막(LSCO), 이트륨바륨코발트산화막(YBCO), 란타늄니켈산화막(LNO) 같은 도전성 산화물 전극은 강유전체막에 산소를 공급할 수 있는 동시에 강유전체의 강유전성 결정 구조화에 유리한 격자 구조를 제공한다.
- <48> 한편, 백금(Pt), 이리듐(Ir), 루테튬(Ru), 오스뮴(Os), 란타늄(Ln) 등과 같은 귀금속은 강유전체막의 안정적인 형성을 위한 결정 구조를 가지로 있다.
- <49> 따라서 이와 같은 물질들의 단일층 또는 이들을 조합한 다층으로서 하부전극막(135)을 형성할 수 있다. 즉, 하부전극(135)은 귀금속 전극 및 도전성 산화물 전극 중 어느 하나로 형성된 단일층 또는 귀금속 전극 및 도전성 산화물 전극의 조합막으로 형성된 다층으로 형성될 수 있다.
- <50> 본 실시예에서는 이리듐산화막 및 백금이 차례로 적층된 이중막으로 하부전극막(135)을 형성한다. 백금은 열과 산화에 강한 특성을 가지고 있다.

- <51> 강유전체막(137)으로는 PZT (Lead Zirconium Titanate), SBT (Strontium Bismuth Tantalum), SBTN (Strontium Bismuth Tantalum Nitride), SBTT (Strontium Bismuth Tantalum Titanate), BLT(Bismuth Lanthanum Titanate) 등 강유전성 물질이면 어느 것이나 사용할 수 있다.
- <52> 강유전체막(137)은 다음과 같은 공정으로 형성한다. 먼저, 예를 들어 졸-겔 코팅 (Sol-Gel Coating) 방식을 통해 강유전체(Ferroelectric Material)를 양질의 비정질 상태로 증착한 다음, 증착된 강유전체가 페로브스카이트(Perovskite)와 같은 강유전성 결정 구조를 갖도록 고온의 산화성 분위기에서 열처리를 진행하여 강유전체막(137)을 형성한다. 이때, 상술한 바와 같이 하부전극막(135)을 형성하는 물질 중에서 최상부에 위치하는 막으로서 백금 (Platinum) 등과 같은 막을 적용하게 되면, 강유전체의 강유전성 결정 구조화에 유리한 격자구조를 제공하게 되므로 보다 안정적인 강유전체막(135) 형성에 도움이 된다.
- <53> 상부전극막(139)은 하부전극막(135)과 동일하게, 귀금속 전극 및 도전성 산화물 전극 중 어느 하나로 형성된 단일층 또는 귀금속 전극 및 도전성 산화물 전극의 조합막으로 형성된 다층으로 형성될 수 있다.
- <54> 본 실시예에서 이리듐산화막 및 이리듐을 차례로 증착하여 상부전극막(139)을 형성한다. 이리듐산화막 같은 도전성 산화물 전극은 강유전체막(137)에 산소를 공급하여 피로 특성을 개선시킨다.
- <55> 다음 도 10을 참조하여, 산소 확산 방지막 패턴(127a)에 전기적으로 접속되도록, 상부전극막(139), 강유전체막(137) 및 하부전극막(135)을 패터닝하여 강유전체 커패시터(141)를 완성한다. 결과적으로 강유전체 커패시터(141)는 산소 확산 방지막 패턴(127a), 하부전극(135a),

강유전체막(137a) 및 상부전극(139a)으로 구성된다. 산소 확산 방지막 패턴(127a)은 콘택 플러그(121) 및 콘택 패드(111a)에 의해서 트랜지스터(107)의 소오스 영역에 전기적으로 연결된다.

<56> 하부전극(135a)은 산소 확산 방지막 패턴(127a) 보다 더 큰 크기를 가진다. 즉, 산소 확산 방지막 패턴(127a)은 상부 절연막(1231')에 의해 둘러 싸이지만, 하부전극(135a)은 상부 절연막(131')의 일부 상에도 형성된다.

<57> 후속 공정으로 상부전극(139a)에 전기적으로 연결되는 배선을 형성하는 공정 등을 진행한다.

<58> 구체적으로, 도 11을 참조하여, 강유전체 커패시터(141)를 형성한 후, 강유전체 커패시터(141) 및 상부 절연막(131') 상에 제1절연막(143)을 형성한 후 평탄화 공정을 진행한다. 여기서, 강유전체 커패시터(141)를 보호하기 위한 보호막(도면에 도시시)을 더 형성할 수 있다. 이와 같은 보호막은 후속 절연막 공정에서 강유전체 커패시터 내부로 수소가 침투하는 것을 방지하기 위함이다. 이어서, 상부전극(139a) 및 평탄화된 제1절연막(143) 상에 도전막을 증착한 후 이를 패터닝하여 상부전극(139a)에 전기적으로 연결되는 하부 배선(145)을 형성한다. 여기서 하부 배선(145)은 인접한 두 개의 상부전극에 동시에 전기적으로 접속된다. 또한, 콘택 공정을 통하지 않고서 직접적으로 하부전극(139a)이 하부 배선(143)에 전기적으로 접속된다. 따라서 접촉 저항 특성이 개선되고 콘택 공정에서 오정렬시 발생될 수 있는 문제점을 방지할 수 있다.

<59> 다음, 하부 배선(145) 및 제1절연막(143) 상에 제2절연막(147)을 형성한다. 그런 다음, 트랜지스터(107)를 구성하는 게이트에 전기적으로 접속하는 스트랩(strapping) 라인(149)을 형성한다. 스트랩 라인(149)은 전기 전도성이 우수한 알루미늄 등으로 형성된다. 이와 같은 스트

랩 라인(149)으로 인해서 소자 동작시 선택되는 트랜지스터에 대한 접근 속도를 향상시킬 수 있다.

<60> 다음 스트랩 라인(149) 및 제2절연막(147) 상에 제3절연막(151)을 형성한다. 그런 다음 제3절연막(151) 및 제2절연막(147)의 소정 부분을 식각하여 하부 배선(145)을 노출시키는 비아홀을 형성한 후 여기에 도전물질, 예컨대, 알루미늄을 채우고 이를 패터닝하여 상부 배선(153), 즉 플레이트 라인을 형성한다. 결과적으로 상부 배선(153)은 하부 배선(145)을 통해서 상부전극(139a)에 전기적으로 연결된다. 여기서, 하부 배선(145)이 인접한 상부전극(139a)에 동시에 전기적으로 접속하기 때문에, 상부 배선인 플레이트 라인(153)을 형성하기 위한 비아홀 공정의 공정 여유도(process margin)가 증가한다.

<61> 이상에서 설명한 일련의 공정 단계에 따르면, 산소 확산 방지막이 먼저 패터닝된 후 하부전극막, 강유전체막 및 상부전극막을 패터닝하기 때문에, 산소 확산 방지막을 식각하는 데 필요한 시간 만큼 강유전체막이 식각 가스 분위기에 노출되는 시간을 줄일 수 있다.

<62> 또한, 산소 확산 방지막을 먼저 패터닝하기 때문에, 산소 확산 방지 기능을 하기에 충분한 두께로 산소 확산 방지막을 형성할 수 있다.

<63> 이상에서 설명한 일련의 공정 단계에 따르면, 강유전체 기억 소자는 강유전체 커패시터(141)를 포함한다. 강유전체 커패시터(141)는 반도체 기판(101)의 활성 영역에 전기적으로 접속하는 산소 확산 방지막 패턴(127a)을 포함한다. 산소 확산 방지막 패턴(127a)은 상부 절연막(131')에 의해 둘러싸인다. 이때, 산소 확산 방지막 패턴(127a)의 상부 표면이 상부 절연막(131')의 상부 표면 보다 더 낮다. 하부전극(135a)이 산소 확산 방지막 패턴(127a) 상에 배치되어 그 주위의 상부 절연막(131') 상부 표면 일부 까지 연장한다. 즉, 하부전극(135a)은

산소 확산 방지막 패턴(127a)을 완전히 덮으며 상부 절연막(131') 일부도 덮는다. 강유전체막(137a) 및 상부전극(139a)이 하부전극(135a) 상에 차례로 놓여있다.

- <64> 이제 도 12 내지 도 18을 참조하여 본 발명의 다른 실시예에 따른 강유전체 기억 소자 제조 방법을 설명한다. 앞서 설명한 방법과 중복되는 내용에 대해서는 간단히 언급만 하고 자세한 설명은 생략한다.
- <65> 먼저 도 12를 참조하여, 도 1 내지 도 4를 참조하여 설명한 것 같이, 소자 분리 공정, 트랜지스터 형성 공정, 비트 라인 형성 공정 콘택홀 형성 공정 등을 진행한 후, 콘택홀에 도전 물질을 채워 콘택 플러그(121)를 형성한다. 이어서, 하부 절연막(117) 및 콘택 플러그(121) 상에 상부 절연막(131)을 형성한다.
- <66> 다음 도 13을 참조하여, 상부 절연막(131)의 소정 부분을 식각하여 콘택 플러그(121) 및 그 주위의 하부 절연막(117)을 노출시키는 개구부(201)를 형성한다. 구체적으로, 상부 절연막(131) 상에 원하는 모양을 갖는 감광성막 패턴(미도시)을 형성한 후 이를 식각 마스크로 사용하여 그 하부에 노출된 상부 절연막을 식각한다.
- <67> 그런 다음, 도 16에 도시된 바와 같이, 상부 절연막(131')보다 더 낮은 높이를 가지는 산소 확산 방지막 패턴(127a)을 형성한다. 산소 확산 방지막 패턴(127a)은 전술한 바와 같이 그 자체가 전도성 물질이면서 산화되지 않거나, 설령 산화되어도 전도성을 가지는 성질을 지니고 있으며, 산소의 확산을 허용하지 않는 물질이다. 본 실시예의 경우 티타늄알루미늄질화막 패턴(123a') 및 이리듐막 패턴(125a')이 차례로 적층된 이중막이다. 하지만 이것은 일 예에 불과하며, 상기 물질의 단일층, 그들을 조합한 다층으로 형성할 수 있다. 예컨대, 산소 확산 방지막

패턴(127a)은 이리듬, 루테늄 및 오스뮴 중 선택된 어느 하나로 형성된 단일층, 이리듬 및 티타늄알루미늄질화막이 차례로 적층되어 형성되는 이중층 또는 이리듬, 티타늄알루미늄질화막 및 티타늄막이 차례로 적층되어 형성된 삼중층으로 형성될 수 있다.

<68> 구체적으로, 도 14에 도시된 바와 같이, 먼저 개구부(201) 및 상부 절연막(131')을 따라 균일한 두께를 갖는 티타늄알루미늄질화막(123)을 형성한다. 이어서 개구부(201)를 완전히 채우도록 티타늄알루미늄질화막(123) 상에 이리듬막(125)을 형성한다.

<69> 그런 다음, 도15에 도시된 바와 같이, 상부 절연막(131')이 노출될 때까지 평탄화 공정을 진행하여 개구부(201) 이외의 영역에 형성된 티타늄알루미늄질화막(123) 및 이리듬막(125)을 제거하여 개구부에만 티타늄알루미늄질화막(123') 및 이리듬막(125')이 남게한다. 여기서, 평탄화 공정은 슬러리를 사용하여 물리적인 방법 및 화학적인 방법으로 막질을 식각하는 이른바 화학적물리적연마(CMP) 공정 또는 에치백 공정에 의해 진행될 수 있다.

<70> 다음, 평탄화 공정을 진행한 후, 개구부(201)에 잔존하는 막질들에 대한 에치백 공정을 진행하여 도 16에 도시된 바와 같이, 상부 절연막(131') 상부 표면보다 낮은 높이를 가지는 산소 확산 방지막 패턴(127a)을 형성한다. 여기서, 평탄화 공정을 진행한 후 진행되는 에치백 공정을 생략할 수도 있다.

<71> 다음 도 17을 참조하여, 산소 확산 방지막 패턴(127a) 및 상부 절연막(131') 상에 하부 전극막(135)을 형성한다. 계속해서 하부전극막(135) 전면을 따라 강유전체막(137)을 형성한 후 그 상부에 상부전극막(139)을 형성한다. 강유전체막(137)이 하부전극막(135) 전면에 형성되기 때문에 강유전체막(137)을 균일한 두께로 형성할 수 있다.

- <72> 다음 도 18을 참조하여, 상부전극막(139), 강유전체막(137) 및 하부전극막(135)을 차례로 식각하여 산소 확산 방지막 패턴(127a) 및 그 주위의 상부 절연막(131') 상에 하부전극(135a), 강유전체막(137a) 및 상부전극(139a)을 형성한다.
- <73> 후속 공정으로 이미 설명한 배선 공정 등을 진행한다.
- <74> 이상의 상세한 설명은 본 발명을 예시하고 설명하는 것이다. 또한 기술한 내용은 본 발명의 바람직한 실시 형태를 나타내고 설명하는 것에 불과하며, 기술한 바와 같이 본 발명은 다양한 다른 조합, 변경 및 환경에서 사용할 수 있으며, 본 명세서에 개시된 발명의 개념의 범위, 저술한 개시 내용과 균등한 범위 및/또는 당업계의 기술 또는 지식의 범위 내에서 변경 또는 수정이 가능하다. 기술한 실시예들은 본 발명을 실시하는데 있어 최선의 상태를 설명하기 위한 것이며, 본 발명과 같은 다른 발명을 이용하는데 당업계에 알려진 다른 상태로의 실시, 그리고 발명의 구체적인 적용 분야 및 용도에서 요구되는 다양한 변경도 가능하다. 따라서, 이상의 발명의 상세한 설명은 개시된 실시 상태로 본 발명을 제한하려는 의도가 아니다. 또한 첨부된 청구범위는 다른 실시 상태도 포함하는 것으로 해석되어야 한다.

【발명의 효과】

- <75> 이상에서 설명한 본 발명에 따르면, 산소 확산 방지막을 먼저 형성한 후 하부전극막, 강유전체막 및 상부전극막이 패터닝되기 때문에, 강유전체막에 대한 식각 손상이 줄어든다.
- <76> 또한, 산소 확산 방지막의 두께를 충분히 두껍게 형성하여 그 산화 방지 기능을 온전하게 할 수 있다.

<77> 이와 아울러, 하부전극막 전면 상에 강유전체막이 형성되기 때문에, 강유전체막 증착의 균일성이 확보되고 강유전체막과 상부 절연막 사이의 원치 않은 반응이 억제된다. 따라서, 강유전체 기억 소자의 전기적 특성이 향상되는 효과가 있다.

【특허청구범위】**【청구항 1】**

반도체 기판 상에 형성된 하부 절연막;

상기 하부 절연막 상에 배치된 산소 확산 방지막 패턴;

상기 산소 확산 방지막 패턴을 감싸며 상부 표면이 상기 산소 확산 방지막 패턴의 상부 표면 보다 더 높은 상부 절연막;

상기 산소 확산 방지막 패턴 상에 배치되어 상기 상부 절연막 까지 확장된 하부전극;

상기 하부전극 상부 표면 상에 형성된 강유전체막;

상기 강유전체막 상부 표면 상에 형성된 상부전극을 포함하는 강유전체 기억 소자.

【청구항 2】

제 1 항에 있어서,

상기 산소 확산 방지막은 이리듐, 루테튬 및 오스뮴 중 어느 하나인 것을 특징으로 하는 강유전체 기억 소자.

【청구항 3】

제 1 항에 있어서,

상기 산소 확산 방지막은 이리듐 및 티타늄알루미늄질화막이 차례로 적층되어 형성되거나 이리듐, 티타늄알루미늄질화막 및 티타늄막이 차례로 적층되어 형성되는 것을 특징으로 하는 강유전체 기억 소자.

【청구항 4】

제 1 항에 있어서,

상기 하부전극 및 상부전극 각각은 귀금속 전극 및 귀금속의 도전성 산화물 전극 중 어느 하나로 형성된 단일층 또는 귀금속 전극 및 귀금속의 도전성 산화물 전극의 조합막으로 형성된 다층인 것을 특징으로 하는 강유전체 기억 소자.

【청구항 5】

제 1 항에 있어서,

상기 하부 절연막 내에 위치하며 상기 반도체 기판에 형성된 게이트 전극 및 그 양측의 반도체 기판에 형성된 소오스/드레인 영역;

상기 하부 절연막을 관통하여 상기 소오스 영역과 상기 산소 확산 방지막을 전기적으로 연결하는 도전성 콘택 플러그를 더 포함하는 강유전체 기억 소자.

【청구항 6】

제 1 항에 있어서,

상부 절연막 상에 배치되며 강유전체 커패시터의 측벽을 둘러싸는 제1절연막;

상기 상부 절연막 및 상기 강유전체 커패시터의 상부전극 상에 배치되며 인접한 상부전극에 동시에 접촉하는 하부 배선;

상기 하부 배선 및 상기 제1절연막 상에 차례로 배치된 제2 및 제3 절연막;

상기 제3 및 제2 절연막을 관통하여 상기 하부 배선에 전기적으로 연결되는 상부 배선을 더 포함하는 강유전체 기억 소자.

【청구항 7】

반도체 기판 상에 도전성 플러그를 구비하는 하부 절연막을 제공하는 단계;

상기 도전성 플러그에 전기적으로 접속되며 측면이 상부 절연막 패턴에 의해 둘러 싸이
되, 그 상부 표면이 상기 상부 절연막 패턴 상부 표면 보다 낮은 산소 확산 방지막 패턴을 형
성하는 단계;

상기 상부 절연막 패턴 및 산소 확산 방지막 패턴 상에 하부전극막을 형성하는 단계;

상기 하부전극막 상에 강유전체막 및 상부전극막을 차례로 형성하는 단계;

상기 상부전극막, 강유전체막 및 하부전극막을 차례로 패터닝하는 단계를 포함하는 강유
전체 기억 소자 제조 방법.

【청구항 8】

제 7 항에 있어서,

상기 산소 확산 방지막 패턴을 형성하는 단계는,

상기 하부 절연막 상에 도전성 산소 확산 방지막 및 하드 마스크막을 차례로 형성하는
단계;

상기 도전성 플러그에 전기적으로 접속하도록 상기 하드 마스크막 및 도전성 산소 확산
방지막을 차례로 패터닝하는 단계;

상기 도전성 산소 확산 방지막 패턴 및 하드 마스크막 패턴을 피복하도록 상기 하부 절
연막 상에 상부 절연막을 형성하는 단계;

상기 하드 마스크막 패턴을 평탄화 정지막으로 사용하여 상기 상부 절연막을 평탄화 식
각하는 단계;

상기 하드 마스크막 패턴을 선택적으로 제거하는 단계를 포함하여 이루어지는 강유전체 기억 소자 제조 방법.

【청구항 9】

제 7 항에 있어서,

상기 산소 확산 방지막 패턴을 형성하는 단계는,

상기 하부 절연막 상에 상부 절연막을 형성하는 단계;

상기 상부 절연막을 패터닝하여 상기 도전성 플러그 및 그 주위의 하부 절연막을 노출시키는 개구부를 형성하는 단계;

상기 개구부 및 상기 상부 절연막 상에 산소 확산 방지막을 형성하는 단계;

상기 상부 절연막을 평탄화 저지층으로 사용하여 상기 산소 확산 방지막을 평탄화 식각하여 상기 개구부에만 산소 확산 방지막을 남기는 단계;

상기 개구부를 채우는 산소 확산 방지막을 일부 식각하여 상기 상부 절연막 상부 표면보다 더 낮아지게 하는 단계를 포함하는 것을 특징으로 하는 강유전체 기억 소자 제조 방법.

【청구항 10】

제 9 항에 있어서,

상기 하드 마스크막은 상기 상부 절연막에 대해서 식각 선택비를 가지는 물질로 형성되는 강유전체 기억 소자 제조 방법.

【청구항 11】

제 10 항에 있어서,

상기 하드 마스크막은 질소를 포함하는 막질로 형성되는 강유전체 기억 소자 제조 방법.

【청구항 12】

제 11 항에 있어서,

상기 질소를 포함하는 막질은 티타늄 질화막, 실리콘 질화막, 티타늄알루미늄질화막을 포함하는 강유전체 기억 소자 제조 방법.

【청구항 13】

제 8 항 또는 제 9 항에 있어서,

상기 산소 확산 방지막은, 이리듐, 루테튬 및 오스뮴 중 선택된 어느 하나로 형성된 단일층, 이리듐 및 티타늄알루미늄질화막이 차례로 적층되어 형성되는 이중층 또는 이리듐, 티타늄알루미늄질화막 및 티타늄막이 차례로 적층되어 형성된 삼중층인 것을 특징으로 하는 강유전체 기억 소자 제조 방법.

【청구항 14】

제 8 항 또는 제 9 항에 있어서,

상기 하부전극막 및 상부전극막 각각은 귀금속 전극 및 귀금속의 도전성 산화물 전극 중 어느 하나로 형성된 단일층 또는 귀금속 전극 및 귀금속의 도전성 산화물 전극의 조합막으로 형성된 다층인 것을 특징으로 하는 강유전체 기억 소자 제조 방법.

【청구항 15】

제 14 항에 있어서,

상기 귀금속의 산화물 전극은 이리듐산화막, 루테튬산화막, 란타넘스트론튬코발트산화막(LSCO), 이트륨바륨코발트산화막(YBCO), 란타넘니켈산화막(LNO)을 포함하는 강유전체 기억 소자 제조 방법.

【청구항 16】

제 14 항에 있어서,

상기 귀금속은 백금, 이리듐, 루테튬, 오스뮴, 란타늄을 포함하는 강유전체 역 소자 제조 방법.

【청구항 17】

반도체 기판 상에 도전성 플러그를 구비하는 하부 절연막을 형성하는 단계;

상기 하부 절연막 상에 상부 절연막을 형성하는 단계;

상기 상부 절연막을 패터닝하여 상기 도전성 플러그 및 그 주위의 하부 절연막을 노출시키는 개구부를 형성하는 단계;

상기 개구부 및 상기 상부 절연막 상에 산소 확산 방지막을 형성하는 단계;

상기 상부 절연막을 평탄화 저지층으로 사용하여 상기 산소 확산 방지막을 평탄화 식각하여 상기 개구부에만 산소 확산 방지막을 남기는 단계;

상기 상부 절연막 및 산소 확산 방지막 상에 하부전극막을 형성하는 단계;

상기 하부전극막 상에 강유전체막 및 상부전극막을 차례로 형성하는 단계;

상기 상부전극막, 강유전체막 및 하부전극막을 차례로 패터닝하는 단계를 포함하는 강유전체 기억 소자 제조 방법.

【청구항 18】

제 17 항에 있어서,

상기 산소 확산 방지막은, 이리듐, 루테튬 및 오스뮴 중 선택된 어느 하나로 형성된 단일층, 이리듐 및 티타늄알루미늄질화막이 차례로 적층되어 형성되는 이중층 또는 이리듐, 티타

늄알루미늄질화막 및 티타늄막이 차례로 적층되어 형성된 삼중층인 것을 특징으로 하는 강유전체 기억 소자 제조 방법.

【청구항 19】

제 17 항에 있어서,

상기 하부전극막 및 상부전극막 각각은 귀금속 전극 및 귀금속의 도전성 산화물 전극 중 어느 하나로 형성된 단일층 또는 귀금속 전극 및 귀금속의 도전성 산화물 전극의 조합막으로 형성된 다층인 것을 특징으로 하는 강유전체 기억 소자 제조 방법.

【청구항 20】

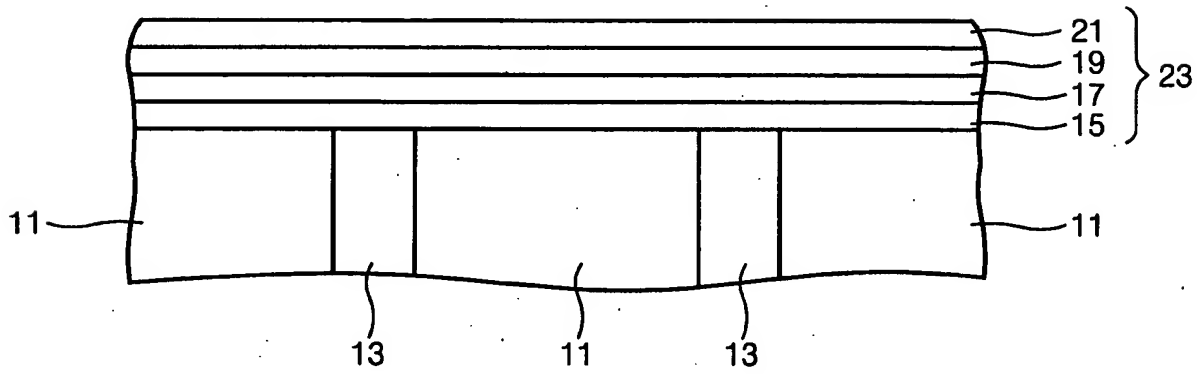
제 19 항에 있어서,

상기 귀금속의 산화물 전극은 이리듐산화막, 루테튬산화막, 란타늄스트론튬코발트산화막(LSCO), 이트륨바륨코발트산화막(YBCO), 란타늄니켈산화막(LNO)을 포함하는 강유전체 기억 소자 제조 방법.

【도면】

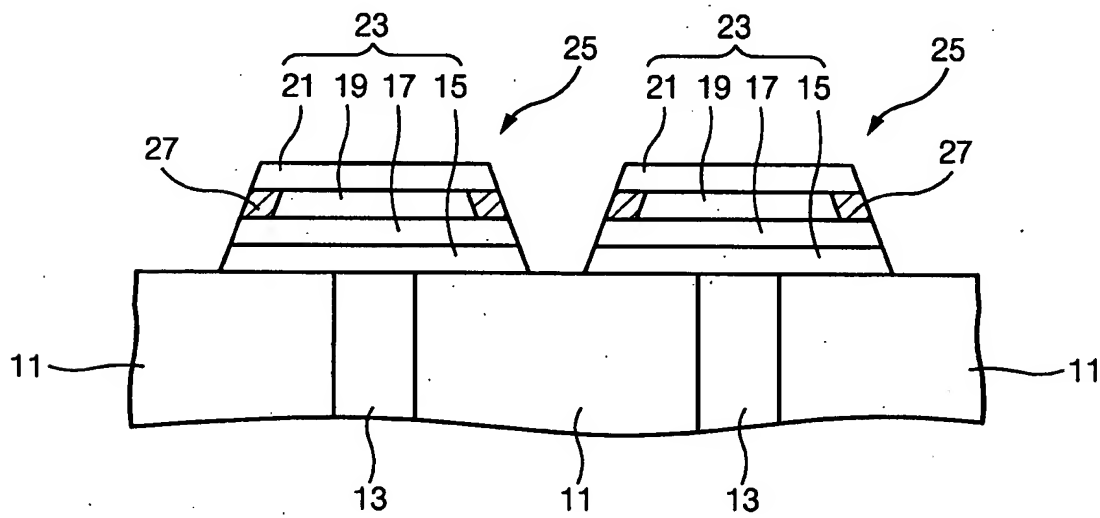
【도 1】

(종래 기술)

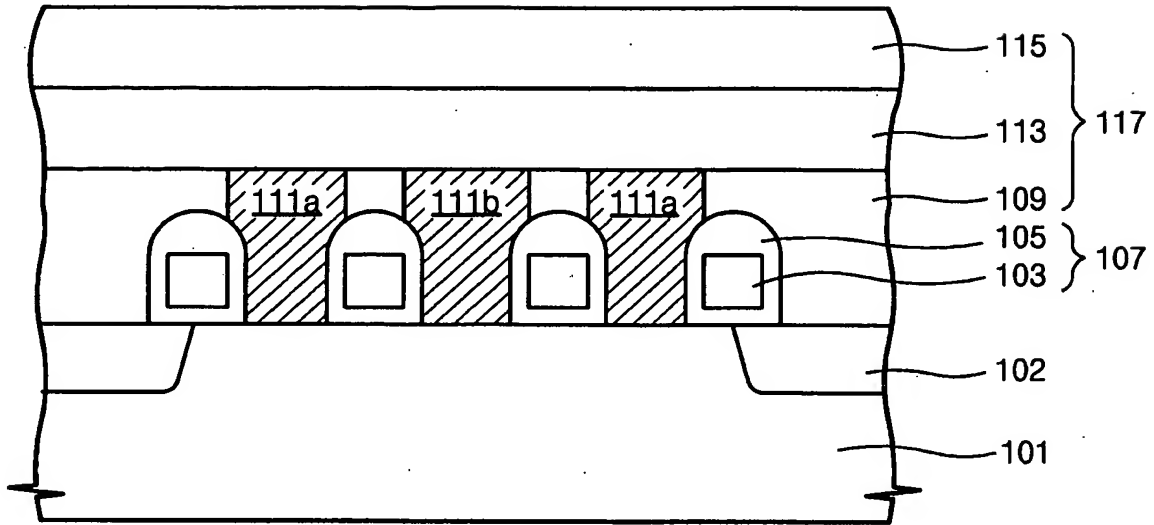


【도 2】

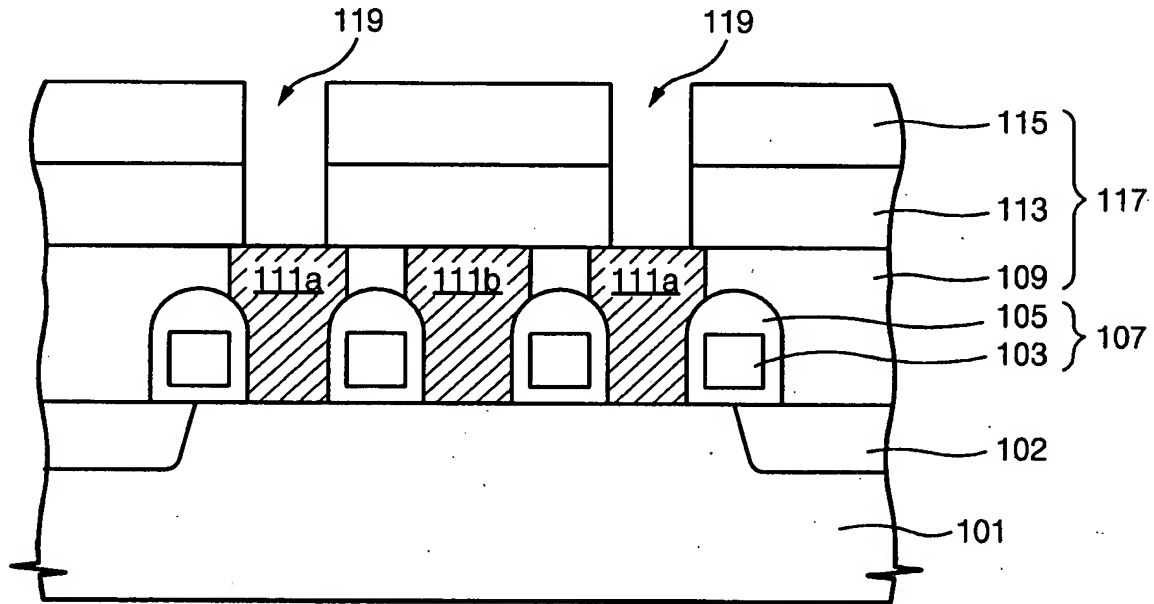
(종래 기술)



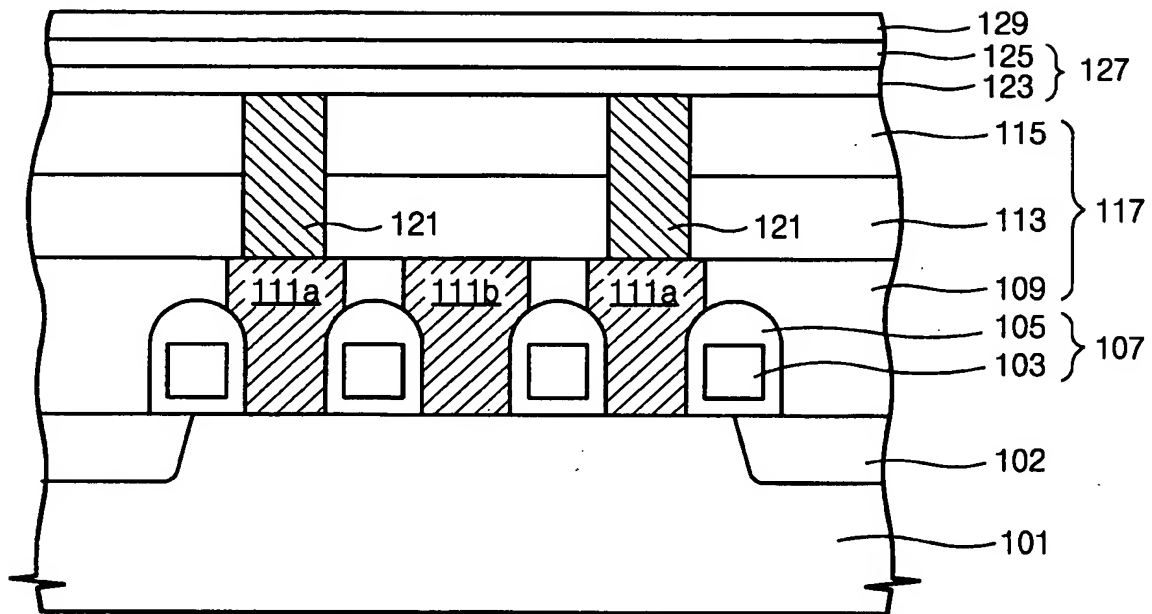
【도 3】



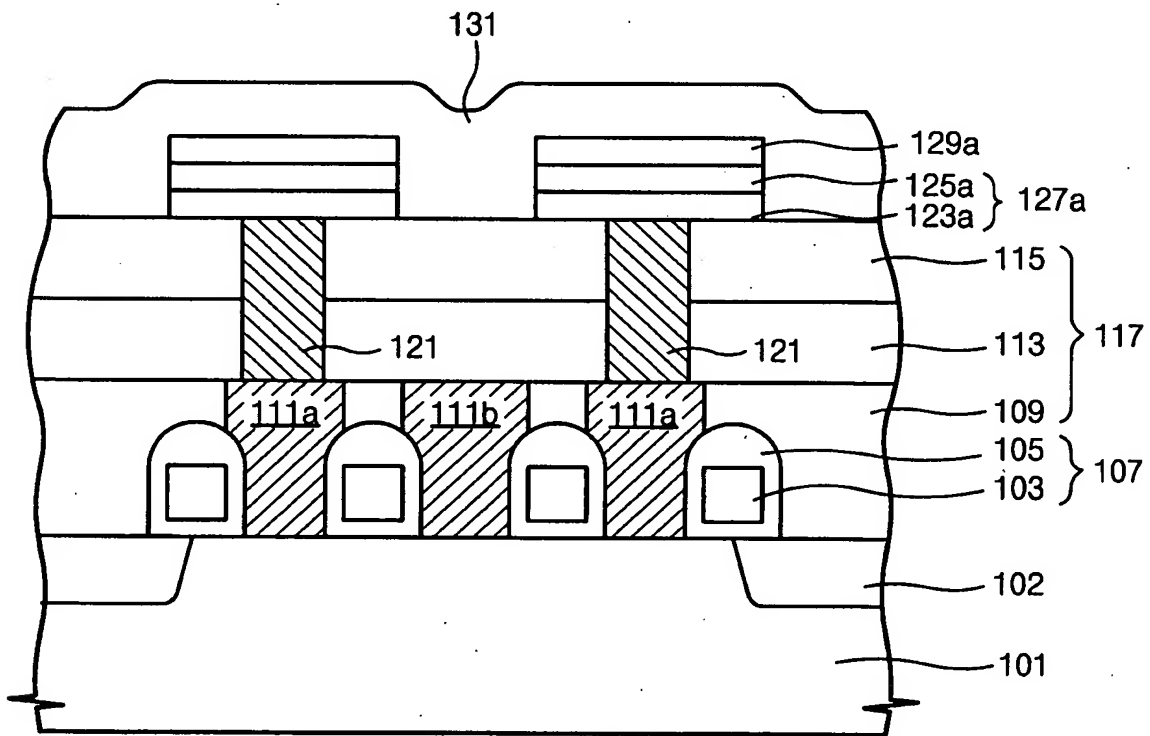
【도 4】



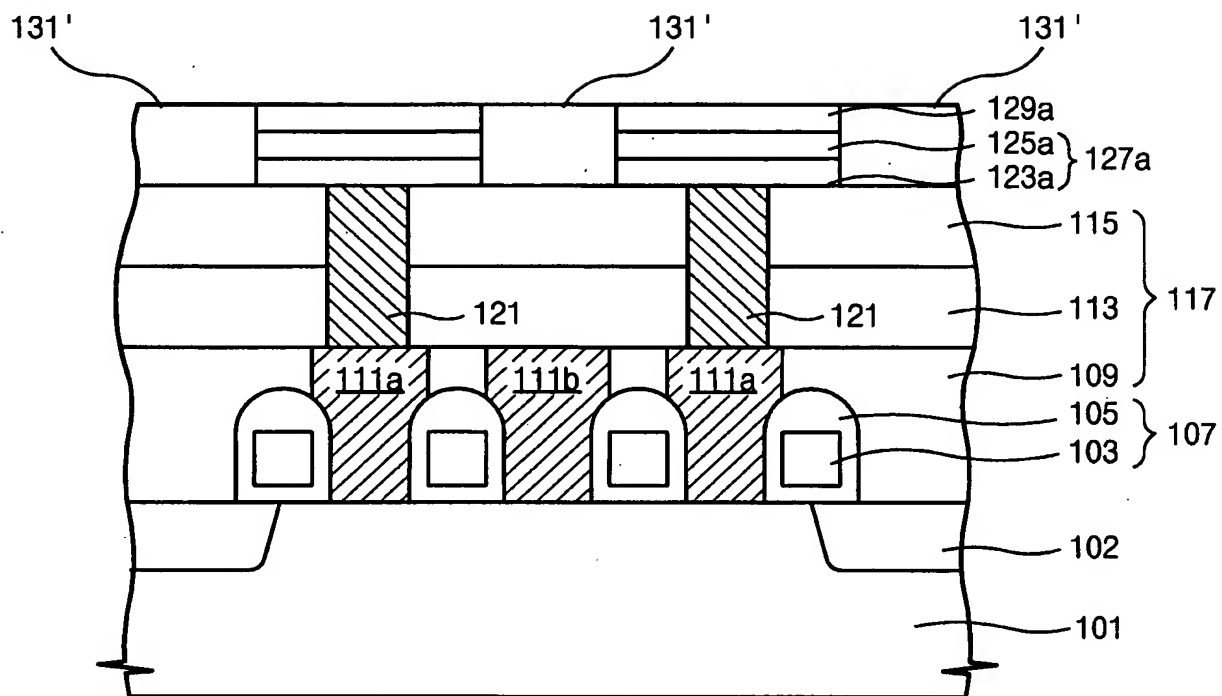
【도 5】



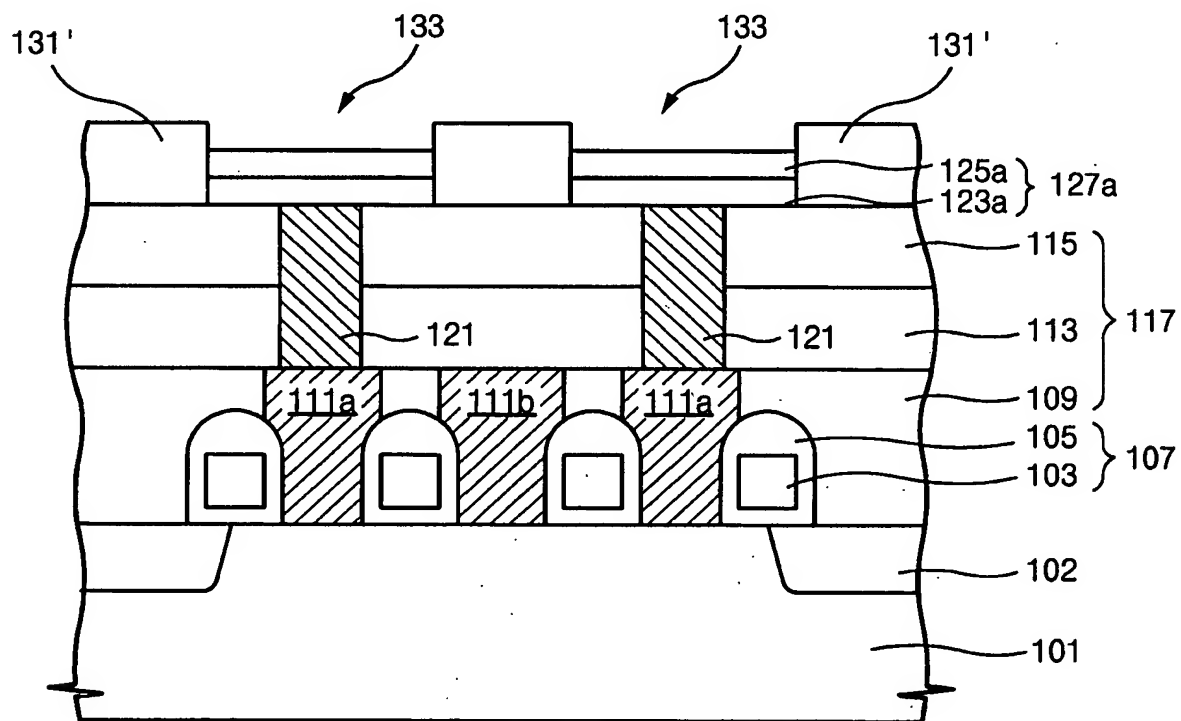
【도 6】



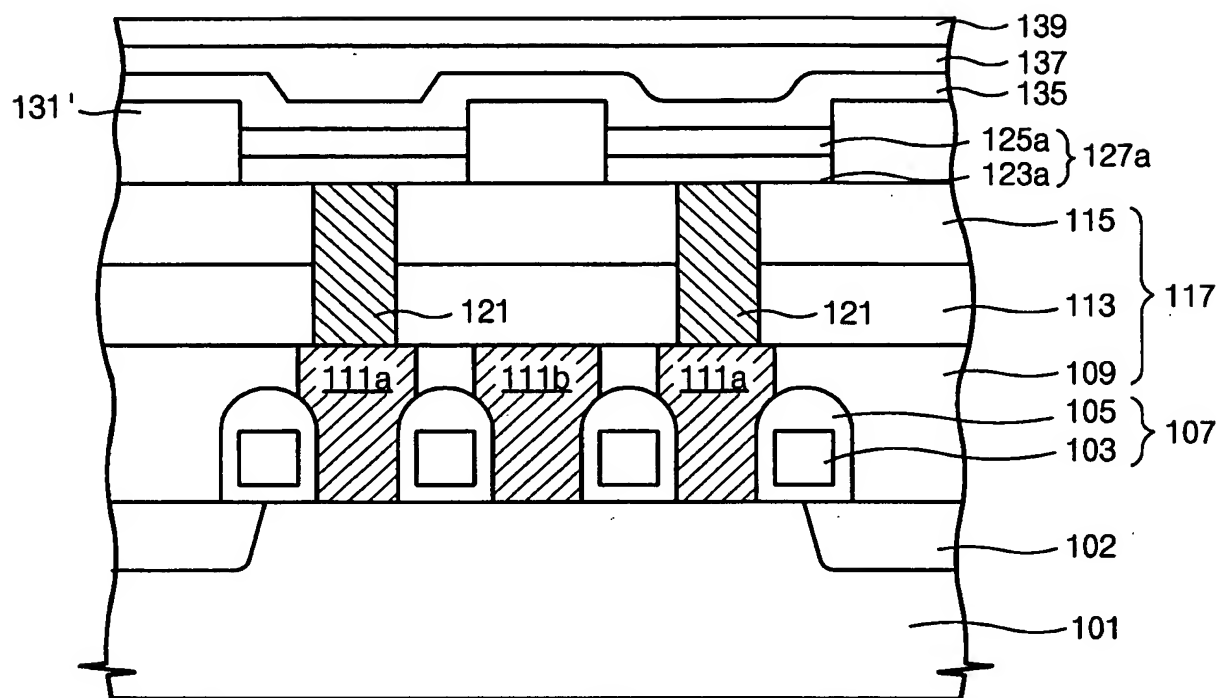
【도 7】



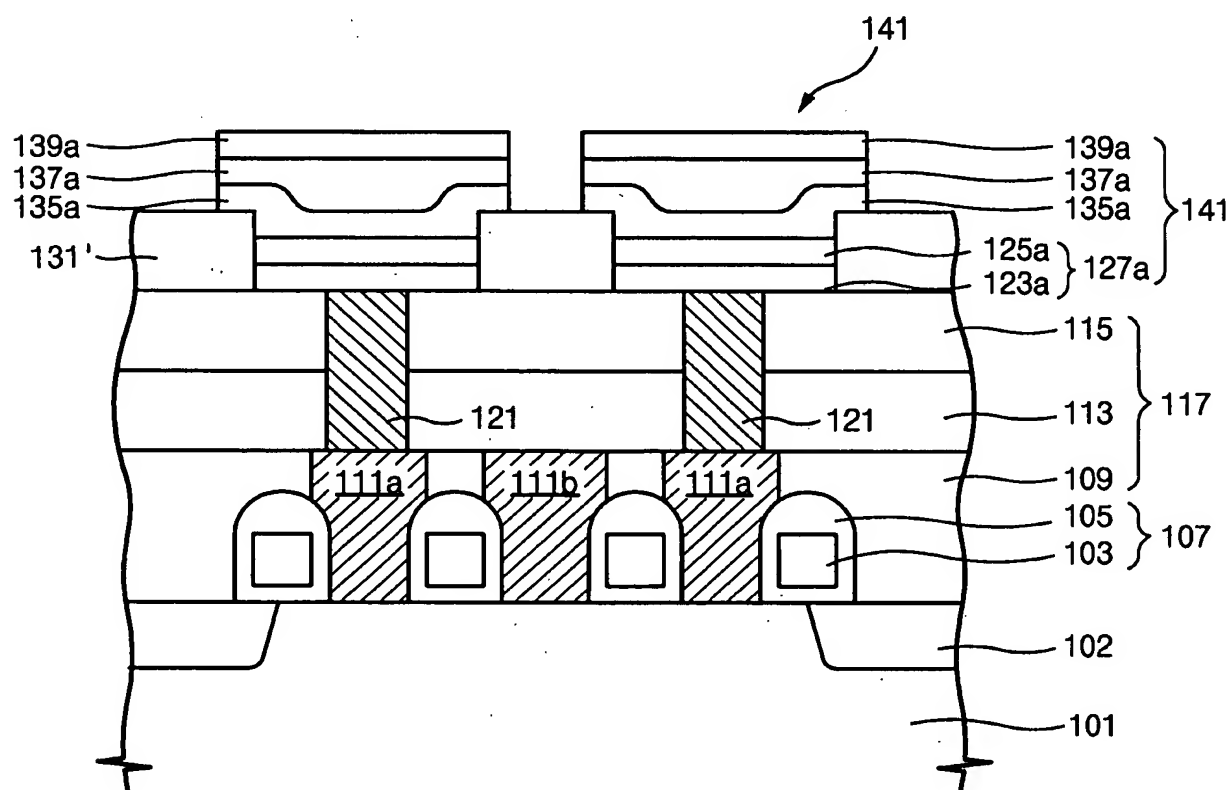
【도 8】



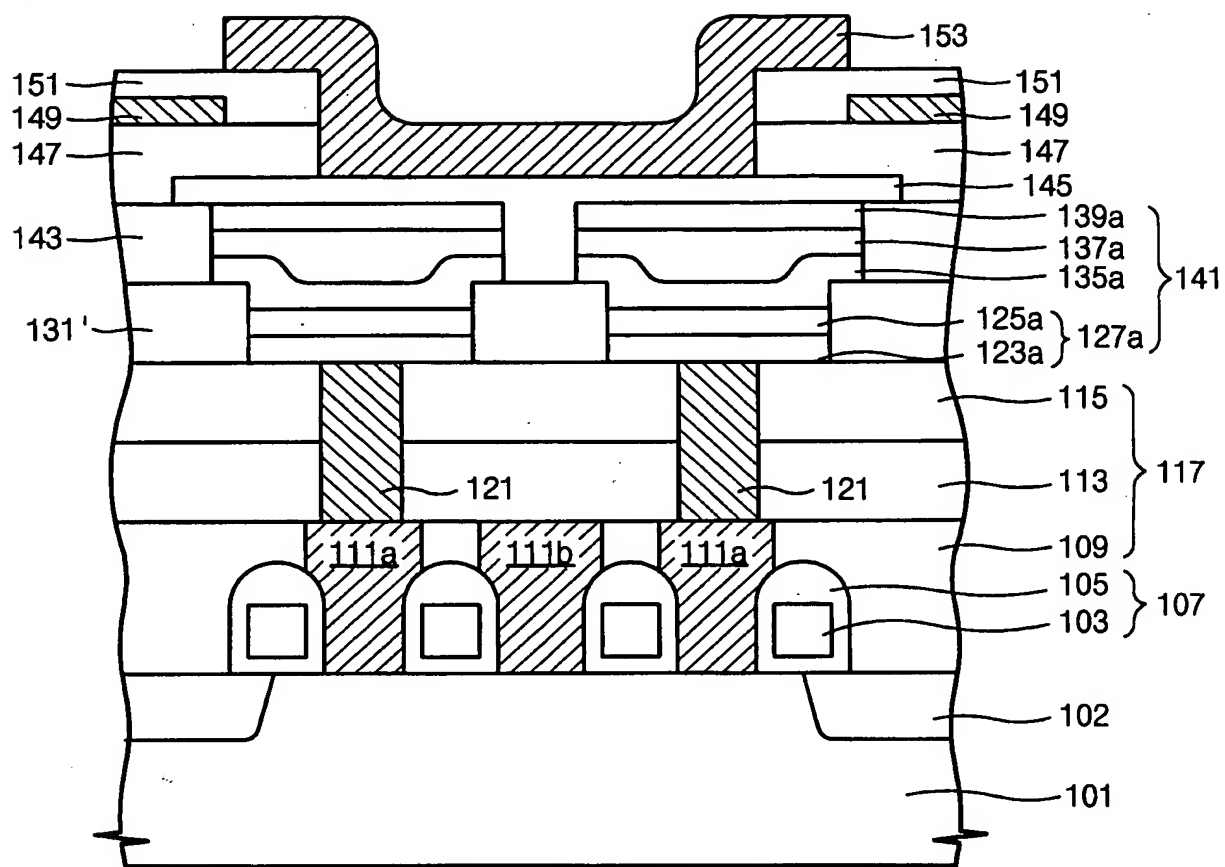
【도 9】



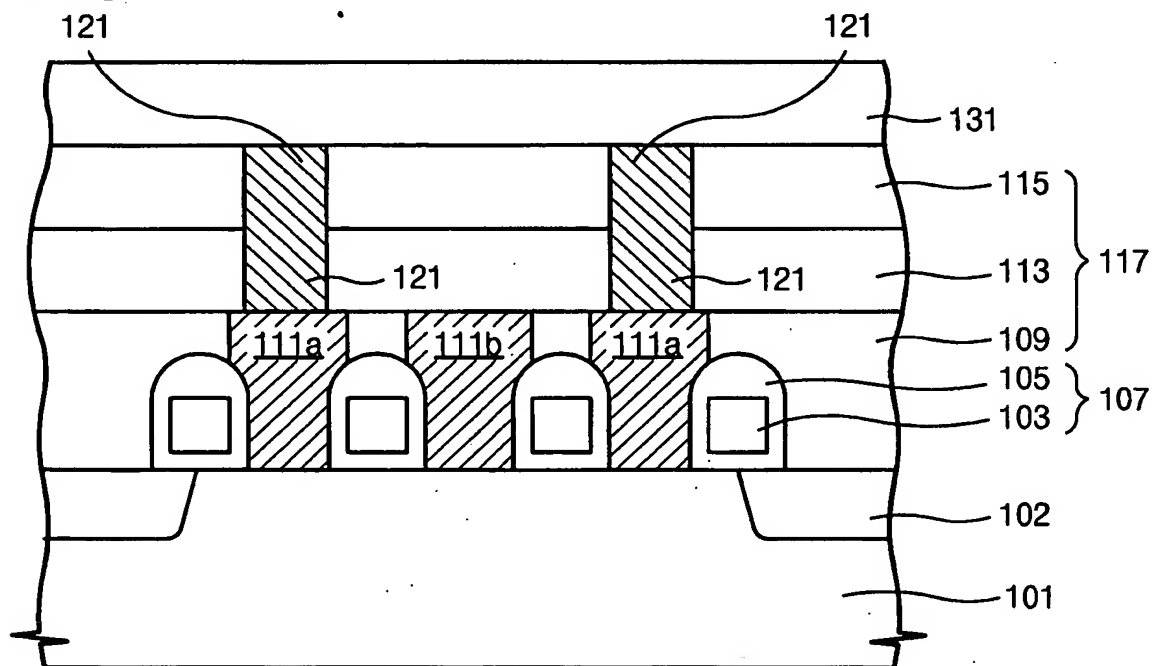
【도 10】



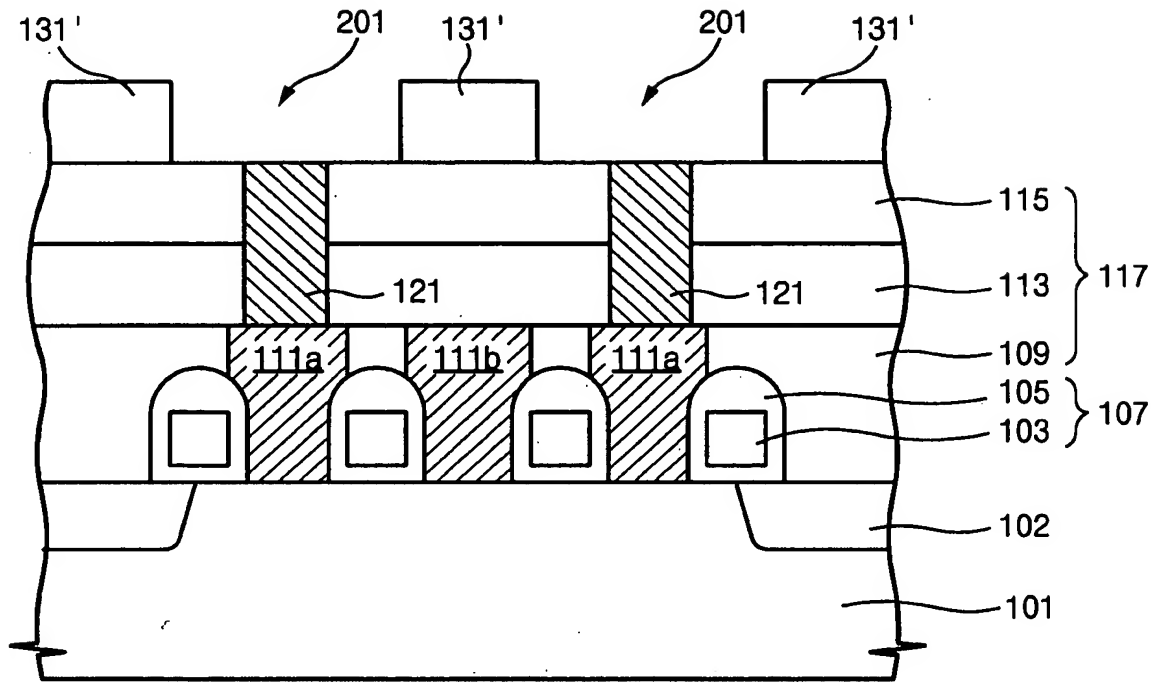
【도 11】



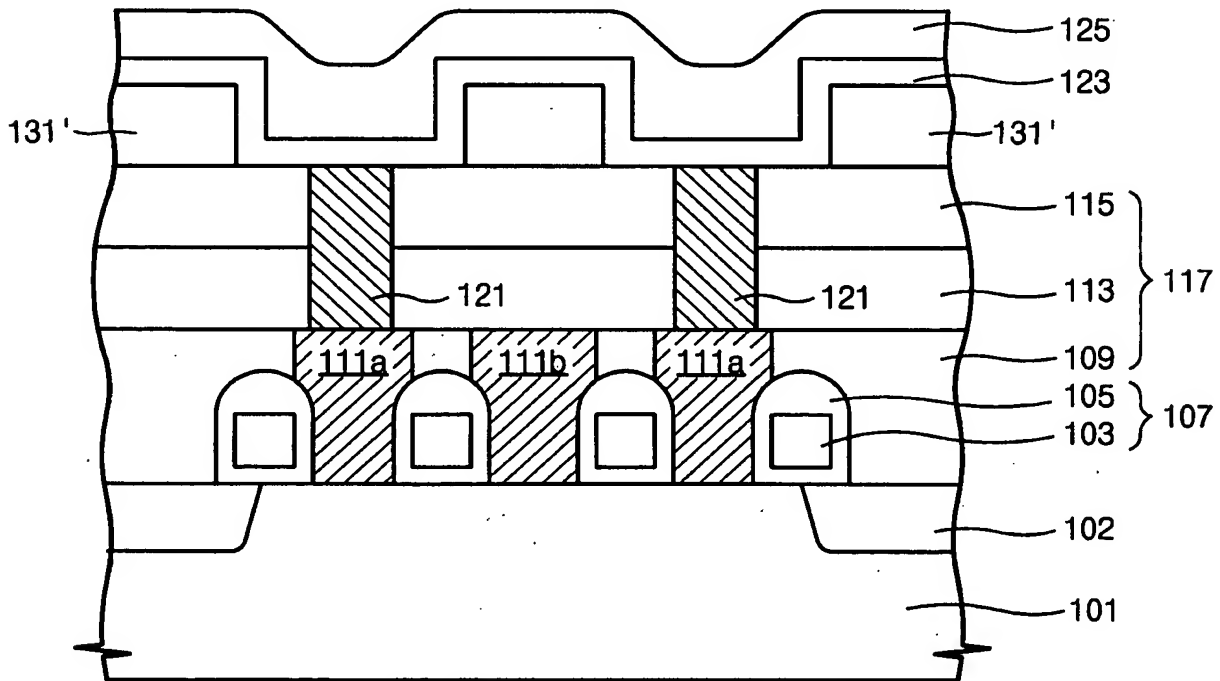
【도 12】



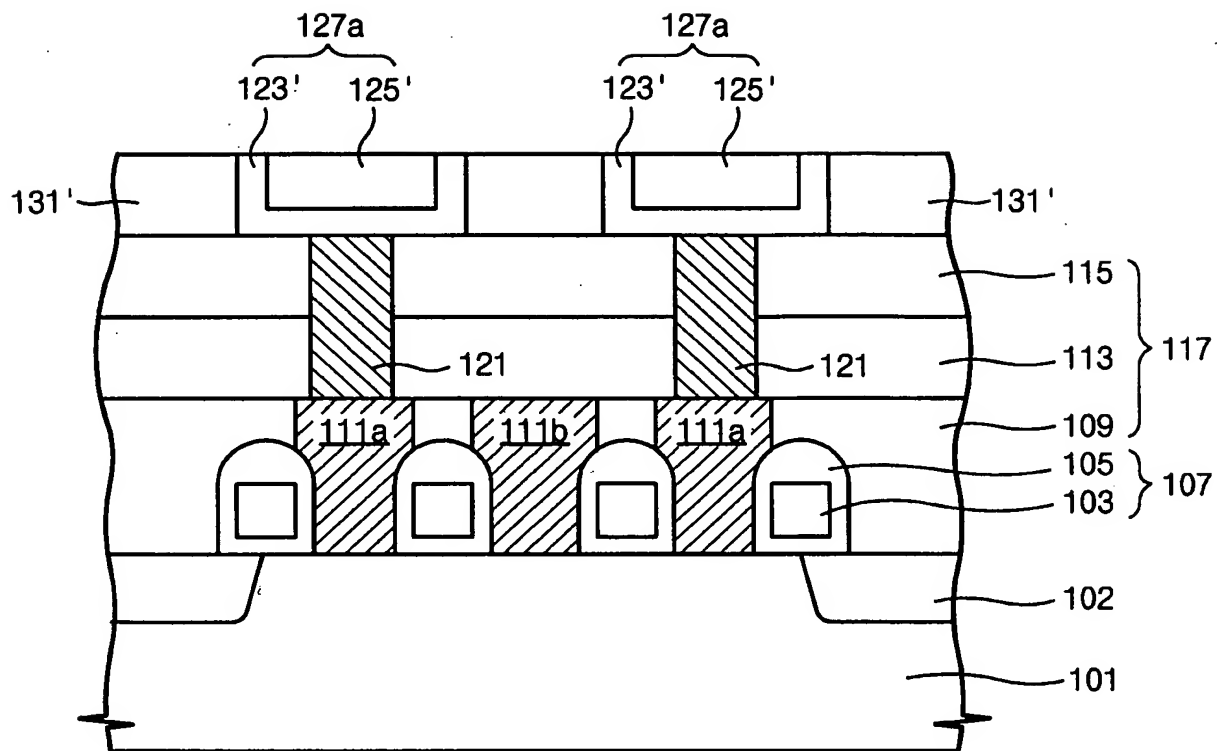
【도 13】



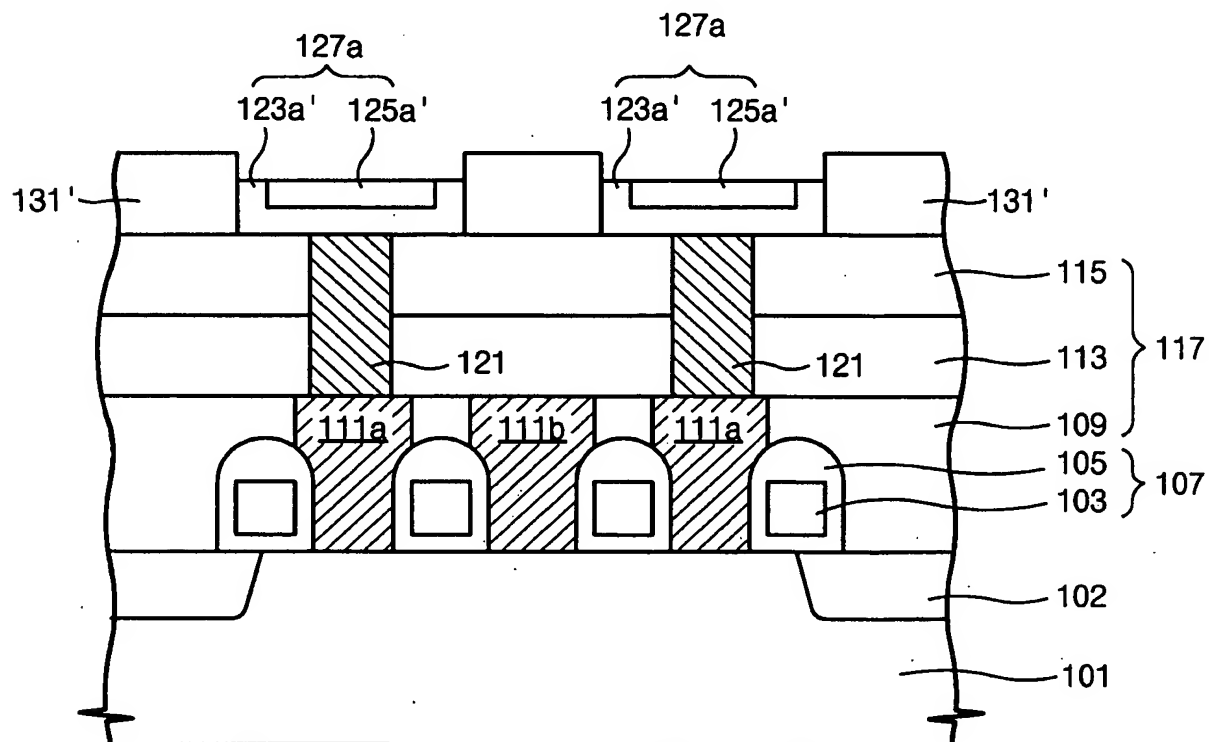
【도 14】



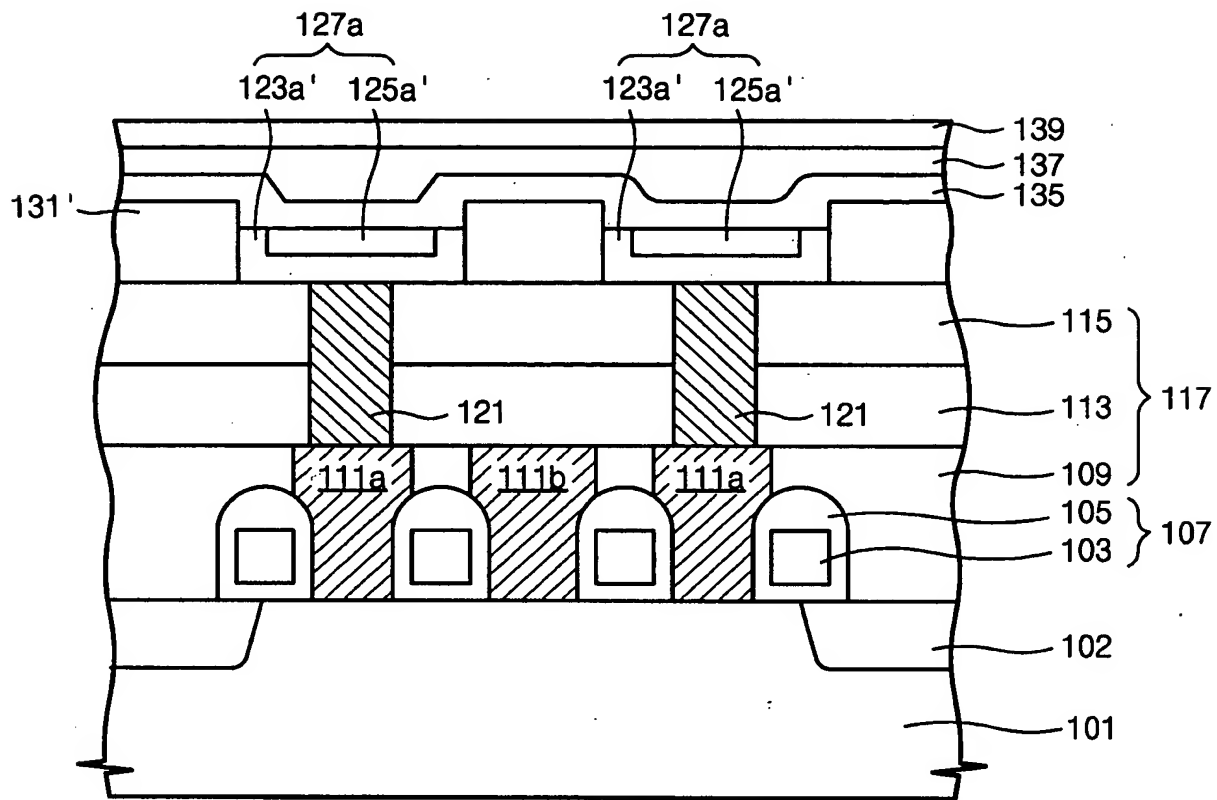
【도 15】



【도 16】



【도 17】



【도 18】

